

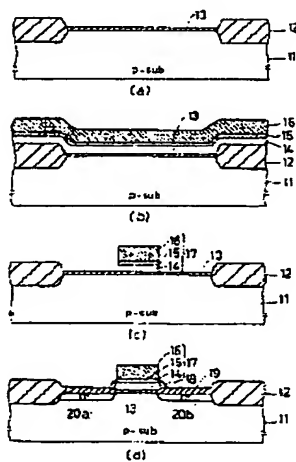
**JP03119763 A**  
**MANUFACTURE OF SEMICONDUCTOR DEVICE**  
**TOSHIBA CORP**

**Inventor(s): ;KATADA TOMIO ;SUGURO KYOICHI**

**Application No. 01255272 JP01255272 JP, Filed 19891002, A1 Published 19910522**

**Abstract: PURPOSE:** To enhance a gate breakdown strength by a method wherein an electrode which is formed by laminating a nitride metal layer and a metal layer on a silicon substrate in this order via a silicon oxide film is formed and it is heat-treated in a specified atmosphere.

**CONSTITUTION:** A field oxide film 12 is formed selectively on the surface of a p-type silicon substrate 11; after that, a silicon oxide film 13 is formed on the surface of the silicon substrate 11 which is isolated by use of the field oxide film 12. Then, a polycrystalline silicon layer 14 is deposited on the silicon oxide film 13. After that, a TiN layer 15 and a W layer 16 are laminated on the polycrystalline silicon layer 14 in this order; they are etched selectively to form a gate electrode 17. Then, a heat treatment is executed in an atmosphere which contains a reducing gas and an oxidizing gas and which uses a gas containing nitrogen as a dilute gas; oxide films 18, 19 are grown on sidewall parts of the polycrystalline silicon layer 14 and on the silicon substrate 11. Then, n-type impurities are implanted by making use of the field oxide film 12 and the gate electrode 17 as a mask; they are activated to form n<sup>+</sup> diffusion layers 20a, 20b.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-119763

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)5月22日

H 01 L 29/784  
21/283  
21/316  
29/62

L  
S  
G

7738-5F  
6940-5F  
7738-5F  
8422-5F

H 01 L 29/78

3 0 1 G

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-255272

⑰ 出 願 平1(1989)10月2日

⑱ 発 明 者 堅 田 富 夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発 明 者 須 黒 恭 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

シリコン基板上にシリコン酸化膜を介して窒化金属層及び金属層をこの順序で積層した電極を形成する工程と、還元性気体及び酸化性気体を含み、かつ窒素を含む気体を希釈気体とした雰囲気中で熱処理する工程とを具備したことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、半導体装置の製造方法に関し、特にゲート電極形成後の酸化工程(ゲート後酸化工程)を改良した半導体装置の製造方法に係わるものである。

(従来の技術)

周知の如く、半導体装置の電極や配線としては多結晶シリコンが広く用いられている。しかし

ながら、半導体装置の高集積化、高速化に伴い電極や配線の抵抗による信号伝達遅延が重大な問題となってきた。特に、大容量、高集積化が進展しているMOSLSIの分野ではゲート電極に使用されている多結晶シリコンは第1層配線と共用になるので、ここでの抵抗値が半導体装置の高速動作の障害となっている。

このようなことから、多結晶シリコンに代わる電極配線材料として、熱的な安定性と電気的な低抵抗性を有する高融点金属のシリサイドが使用されつつある。また、最近ではW、Mo等の高融点金属そのものをゲート電極として使用する試みもなされている。W、Moなどの高融点金属は、その電気抵抗率が多結晶シリコンよりも2桁低く、またシリサイドの抵抗率の1/4～1/3であり、低抵抗の電極配線として有望視されている。

上述した高融点金属(例えばW)をゲート電極の一構成材として用いた半導体装置としては、従来より第4図に示す構造のものが知られている。即ち、図中の1はp型シリコン基板であり、この

基板 1 表面には素子領域を電気的に分離するためのフィールド絶縁膜 2 が形成されている。このフィールド絶縁膜 2 で分離された基板 1 表面には、互いに電気的に分離されたソース、ドレインとなる  $n^+$  型拡散層 3a、3b が形成されている。これら拡散層 3a、3b 間のチャンネル領域を含む前記基板 1 表面上には、ゲート酸化膜 4 を介して多結晶シリコン層 5、窒化金属層（例えば TiN 層）6 及び W 層 7 からなるゲート電極 8 が設けられている。なお、前記ゲート電極 8 を構成する窒化金属層 6 は W 層 7 の多結晶シリコン層 4 に対する密着性を向上すると共に W 層 7 と多結晶シリコン層 4 とが反応して抵抗率が 1 桁上昇するのを防止する反応障壁層として作用する。

ところで、従来より採用されている多結晶シリコンゲート電極の形成工程では 50～500 Å といった薄いゲート酸化膜に対する欠陥やゲート電極のエッチ形状に起因するゲート耐圧劣化を回復するために酸化雰囲気（例えば乾燥酸素）中で熱処理を行い多結晶シリコン層の露出面やソース、ドレ

イン領域の基板上にシリコン酸化膜を新たに成長させる工程を行っている。この工程は、ゲート後酸化工程と呼ばれている。

しかしながら、一般に W、Mo などの高融点金属は酸化雰囲気中での熱処理において耐性がないため、前述した第 4 図に示すゲート電極構造で従来のような後酸化工程を適用することができないという問題があった。

一方、W 層単独のゲート電極の場合には水蒸気 ( $H_2O$ ) を 10ppm～10% 含む水素 ( $H_2$ ) キャリガス中で熱処理を行う方法が提案されている。しかしながら、このような雰囲気下で前述した第 4 図に示すゲート電極構造の後酸化を行なうと、金属窒化層、例えば TiN 層から窒素が抜け、Ti が酸化されるという問題があった。従って、水素-水蒸気雰囲気での後酸化も窒化金属層が存在するゲート電極構造では有効な解決にはなっていない。そのため、ゲート後酸化工程を適用できず、ゲート耐圧が極端に悪化し、高融点金属ゲート電極の実用化の障害となっている。

#### （発明が解決しようとする課題）

本発明は、上記従来の課題を解決するためになされたもので、後酸化工程においてゲート電極を構成する金属層及び窒化金属層の酸化を招くことなくシリコン酸化膜を成長でき、ゲート耐圧を向上させた半導体装置の製造方法を提供しようとするものである。

#### 〔発明の構成〕

##### （課題を解決するための手段）

本発明は、シリコン基板上にシリコン酸化膜を介して窒化金属層及び金属層をこの順序で積層した電極（例えばゲート電極）を形成する工程と、還元性気体及び酸化性気体を含み、かつ窒素を含む気体を希釈気体とした雰囲気中で熱処理する工程とを具備したことを特徴とする半導体装置の製造方法である。

上記窒化金属としては、例えば Ti、Zr、Hf、Nb、Ta、W、Mo などの周期律表の IVa 族、Va 族又は VIa 族に属する金属元素の窒化物を挙げることができる。

上記金属としては、例えば W、Mo、Ag、Cu、Au の少なくとも 1 つを主成分とするものを挙げることができる。

上記還元性気体としては、例えば一酸化炭素、水素等を、上記酸化性気体としては例えば二酸化炭素、水蒸気、二窒化酸素等を、挙げることができる。上記窒素を含む気体としては、例えば窒素単独、窒素と水素の混合気体等を挙げることができる。

上記熱処理は、800～900℃の温度範囲で行なえばよい。

上記還元性気体として  $H_2$  を、酸化性気体として水蒸気 ( $H_2O$ ) を、窒素を含む気体として  $N_2$  を用いた場合には、それら気体の混合比率を次のように設定することが望ましい。即ち、 $H_2$ 、 $H_2O$ 、 $N_2$  の分圧を  $P_{H_2}$ 、 $P_{H_2O}$ 、 $P_{N_2}$  とすると、 $P_{H_2}/P_{H_2O}$  を 0.5 以上、 $1.0 \times 10^3$  以下にし、かつ  $\log P_{N_2}$  を -22 以上、-14 以下にする。更に、より好ましい条件としては前記温度を 800～900℃にすることがよく、この際  $P_{H_2}/P_{H_2O}$  を

$1 \times 10^3$  以上、 $1.0 \times 10^4$  以下にし、かつ  $\log P_{N_2}$  を -2 以上、2 以下にする。但し、 $H_2$ 、 $H_2O$  に代えて上述した還元性気体、酸化性気体をそれぞれ用いても同様な条件にて本発明を達成できる。

なお、本発明方法において金属層の厚さを厚くする場合には金属層から半導体基板やゲート酸化膜に応力が加わり、また金属層中の可動イオンが多い場合にはその可動イオンがシリコン酸化膜に拡散して耐圧を劣化する恐れがあるため、前記金属層から半導体基板に加わる応力の緩和及び金属層中の可動イオンのシリコン酸化膜への拡散を阻止する目的で該シリコン酸化膜と窒化金属層の間に多結晶シリコン層を介在させてもよい。

#### (作用)

本発明によれば、シリコン基板上にシリコン酸化膜を介して窒化金属層及び金属層をこの順序で積層した電極（例えばゲート電極）を形成した後に熱処理を行なう際、還元性気体及び酸化性気体を含み、かつ窒素を含む気体を希釈気体とした

雰囲気中で熱処理することによって、金属層（例えばW層）を酸化させずにシリコンのみを酸化することが可能な酸素ポテンシャルを得ることができ、かつ窒素を含む気体をキャリアガスにすることにより窒化金属層（例えばTiN層）からの脱窒反応を阻止することができ、窒化金属層の酸化も同時に防止することができる。従って、かかる雰囲気中での後酸化処理により金属層及び窒化金属層を酸化させることなくシリコン酸化膜を成長できるため、良好なゲート絶縁耐圧を有する半導体装置を製造することができる。

#### (実施例)

以下、本発明の実施例を図面を参照して詳細に説明する。

まず、第1図に示すように例えば比抵抗  $6 \Omega \cdot \text{cm}$  のp型シリコン基板11表面に選択酸化によりフィールド酸化膜12を形成した後、熱酸化処理を施してフィールド酸化膜12で分離されたシリコン基板11表面に厚さ50～300Åのシリコン酸化膜13を形成した。

次いで、シリコン酸化膜13上に不純物が添加された厚さ500Åの多結晶シリコン層14を堆積した後、基板11を473Kの温度に保持した状態にてTiをターゲットとした $N_2$ とArの混合ガス（混合比50:50）中でスパッタリングすることにより多結晶シリコン層14上に厚さ500ÅのTiN層15を堆積した。つづいて、LPCVD法により水素（ $H_2$ ）、モノシラン（ $SiH_4$ ）及び六フッ化タングステン（WF<sub>6</sub>）の混合ガスを用いて $H_2$ を0.173torr、 $SiH_4$ を0.013torr、WF<sub>6</sub>を0.005torrの各分圧に保持し、420℃の基板温度でTiN層15上に厚さ約1500ÅのW層16を堆積した（第1図（b）図示）。ひきつづき、前記W層16、TiN層15及び多結晶シリコン層14を通常のフォトリソグラフィと反応性イオンエッチング（RIE）を用いて順次選択的にエッチングすることにより第1図（c）に示すゲート電極17を形成した。

次いで、水素（ $H_2$ ）と水蒸気（ $H_2O$ ）を含み、窒素（ $N_2$ ）をキャリアガスとした混合ガス

雰囲気中、800℃で熱処理した。この熱処理は、例えば1100Kで第2図に斜線部に示す範囲の分圧、具体的には $H_2:H_2O:N_2$  = 2000:1に混合されたガスを40%含む $N_2$ 雰囲気（点Aで示す）で行なった。こうした熱処理により第1図（d）に示すように多結晶シリコン層14の側壁部とシリコン基板11にそれぞれ新たな酸化膜18、19が成長し、ゲート酸化膜が厚くなった。また、前記熱処理においてゲート電極17を構成するW層16及びTiN層15はいずれも全く酸化されなかった。即ち、この熱処理雰囲気はシリコンに対して酸化性、W層18に対しては還元性、更にTiN層15に対しては酸化防止性を奏するように働く。熱処理雰囲気をかかる性質を示すように選定することが重要であり、そのために前述したように温度とガスの割合を定めた。つづいて、フィールド酸化膜12及びゲート電極17をマスクとしてn型不純物、例えば砒素をイオン注入し、活性化することによりシリコン基板11表面にソース、ドレインとなるn<sup>+</sup>型拡散層20a、20bを形成した。

本実施例によれば、前記雰囲気下での後酸化工程によりゲート酸化膜に存在する絶縁耐圧不良部を消滅できると共に、電界の集中するゲート電極17のエッジ部のゲート酸化膜を厚くできるため、良好なゲート耐圧を得ることができる。また、W層16を含む低抵抗材料でゲート電極17を形成できる。その結果、ゲート耐圧（破壊電界強度）が高く、ゲート遅延時間が非常に短く  $0.5\mu\text{m}$  以下のゲート長に微細化し得る高信頼性のMOS型半導体装置を製造することができる。

事実、本実施例により得られたMOS型半導体装置におけるゲート耐圧（破壊電界強度）の頻度、及び熱処理を施さなかった前述した第4図図示のMOS半導体装置（比較例）におけるゲート耐圧（破壊電界強度）の頻度をそれぞれ調べたところ、第3図（A）、（B）に示す結果を得た。なお、第3図（A）、（B）は  $1\mu\text{m}^2$  のゲート面積のトランジスタ 100万個を並列接続した測定パターンを用いて 100パターンを評価した結果である。本実施例で製造された半導体装置（第3図（A））

は、ゲート耐圧の大部分が  $8\text{MV}/\text{cm}$  以上であり、比較例の半導体装置（第3図（B））と比べて初期短絡（ $<1\text{MV}/\text{cm}$ ）や  $5\text{MV}/\text{cm}$  以下の不良モードが観測されず、良好なゲート耐圧特性を有することがわかる。

なお、上記実施例では還元性気体として水素、酸化性気体として水蒸気を用いたが、還元性気体として一酸化炭素、酸化性気体として二酸化炭素を用いた場合、熱処理時の酸素ポテンシャルは水素-水蒸気の場合とほぼ同値で、第2図に示す条件範囲をそのまま適用できる。

なお、上記実施例では、p型シリコン基板を用いたnチャンネルMOS半導体装置の製造に適用した例を説明したが、n型シリコン基板を用いたpチャンネルMOS半導体装置、MOSキャパシタ、MOSダイオード等の製造に同様に適用できる。

#### 〔発明の効果〕

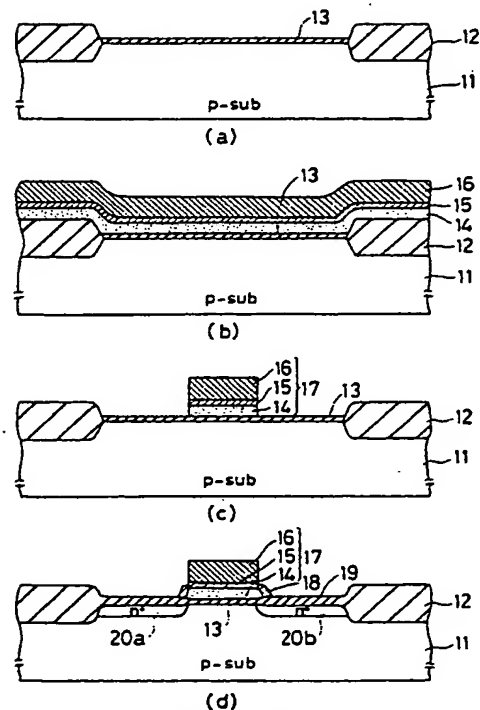
以上詳述した如く、本発明によれば後酸化工程においてゲート電極を構成する金属層及び窒化

金属層の酸化を招くことなくシリコン酸化膜を成長でき、ひいては信号伝達速度が高く、ゲート耐圧が向上された高信頼性の半導体装置を高歩留りで製造し得る方法を提供できる。

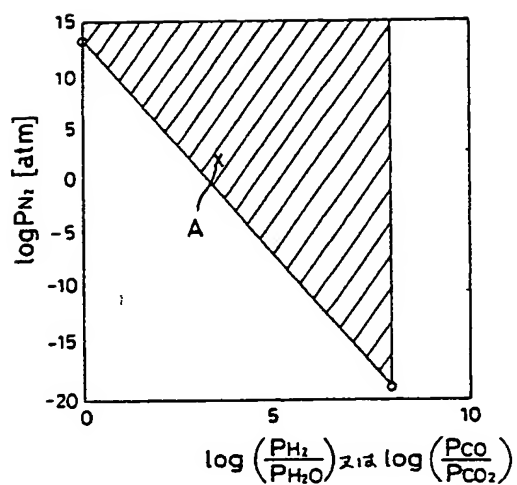
#### 4. 図面の簡単な説明

第1図（a）～（d）は本発明の実施例におけるMOS型半導体装置の製造工程を示す断面図、第2図は本実施例での熱処理時の水素、水蒸気（又は一酸化炭素、二酸化炭素）の分圧条件を示す特性図、第3図（A）は本実施例で製造されたMOS型半導体装置のゲート耐圧の頻度を示す特性図、同図（B）は従来法（比較例）により製造されたMOS型半導体装置のゲート耐圧の頻度を示す特性図、第4図は従来のMOS型半導体装置を示す断面図である。

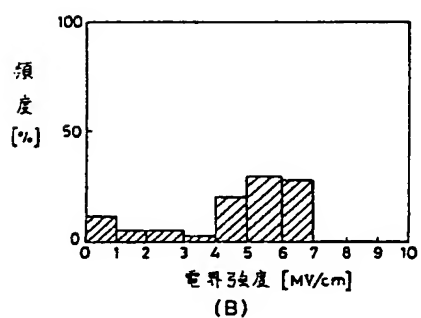
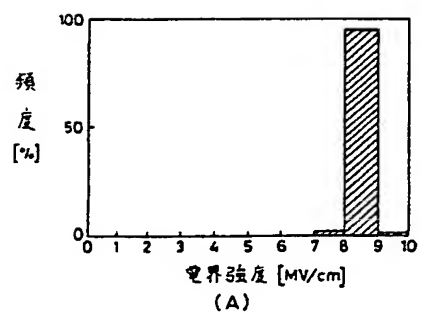
11…p型シリコン基板、13…シリコン酸化膜、14…多結晶シリコン層、15…TiN層、16…W層、17…ゲート電極、18、19…酸化膜、20a、20b…n<sup>+</sup>型拡散層。



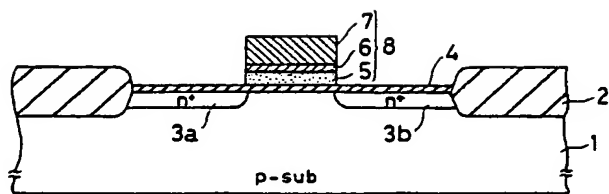
第1図



第 2 図



第 3 図



第 4 図